

DERWENT-ACC-NO: 1981-35121D
DERWENT-WEEK: 198120
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Field effect MOS transistor mfr. - where isolation layers are easily formed

PATENT-ASSIGNEE: MITSUBISHI ELECTRIC CORP[MITQ]

PRIORITY-DATA: 1979JP-0106992 (August 21, 1979)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES	MAIN-IPC	
JP 56030764 A	March 27, 1981	N/A
000	N/A	

INT-CL (IPC): H01L029/78

ABSTRACTED-PUB-NO: JP56030764A

BASIC-ABSTRACT: The method comprises (1) forming a gate oxide layer (12) on a p-type silicon semiconductor substrate (11); (2) placing a photoresist mask (13) having a pattern on the oxide layer (12); (3) implanting p-type impurity ions into the substrate (11) selectively from the exposed surface of the substrate to form isolation diffusion regions (14) of p(+)-type; (4) etching off the oxide layer (12) selectively to expose the surface of the substrate partially; (5) implanting n-type impurity ions into the substrate from the exposed parts to form n-type source and drain regions (16); (6) removing the mask (13); (7) depositing a polycrystalline silicon layer (17) of low resistance on the substrate including the oxide layer (12); (8) forming an oxidn. resistance layer (18), such as Si₃N₄, on the silicon layer (17); (9): etching off the oxidn. resistance layer (18) selectively

and etching the exposed parts of the silicon layer (17) to thin the parts which are placed on the gate, source and drain regions; and (10) heating the substrate to oxidise the exposed thin parts which are not covered by the oxidn. resistance layer to form gate, source and drain isolation oxide layers (20).

The isolation layers are easily formed.

TITLE-TERMS:

FIELD EFFECT MOS TRANSISTOR MANUFACTURE ISOLATE LAYER EASY FORMING

DERWENT-CLASS: L03

CPI-CODES: L03-D04A;

⑫ 公開特許公報 (A)

昭56-30764

⑬ Int. Cl.³
H 01 L 29/78
29/52
29/60

識別記号

府内整理番号
6603-5F
7638-5F
7638-5F

⑭ 公開 昭和56年(1981)3月27日
発明の数 1
審査請求 未請求

(全4頁)

⑯ 半導体装置の製造方法

⑯ 特 願 昭54-106992

⑯ 出 願 昭54(1979)8月21日

⑯ 発明者 木下繁治

伊丹市瑞原4丁目1番地三菱電
機株式会社エル・エス・アイ開
発センタ内

⑯ 発明者 米田昌弘

尼崎市富松町4丁目22の1柏杉
寮内

⑯ 出願人 三菱電機株式会社

東京都千代田区丸の内2丁目2
番3号

⑯ 代理人 弁理士 葛野信一 外1名

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) オ₁導電型の半導体基板上にゲート酸化膜を形成し、フォトマスクを介しオ₁導電型を決定する不純物をイオン注入して電子間分離領域を形成する工程、写真製版技術を用いてゲート酸化膜を除去し、その時用いた同じフォトマスクを介しオ₂導電型を決定する不純物をイオン注入してソース・ドレイン領域を形成する工程、その後半導体基板及びゲート酸化膜上に低抵抗を有するシリコン膜を堆積しこのシリコン膜の表面を耐酸化性膜で被り工程、写真製版技術を用いてゲート、ソース・ドレイン領域の一部及び低抵抗シリコン配線の部分を除いた箇所の耐酸化性膜とシリコン膜をエッチングし、シリコン膜を約半分の厚さにする工程、然る後、酸素雰囲気中で熱処理を行なつて耐

酸化性膜で被われない半導体基板上を全てシリコンの耐酸化膜に被り、かつこの耐酸化膜の表面とシリコン膜との表面が平面となるようする工程を備えたことを特徴とする半導体装置の製造方法。

(2) 耐酸化性膜をシリコンの塗膜としたことを特徴とする特許請求の範囲(1)項記載の半導体装置の製造方法。

(3) 耐酸化性膜としてクロムなどの金属膜を用いたことを特徴とする特許請求の範囲(1)項記載の半導体装置の製造方法。

(4) 热処理としてレーザーニールを用いたことを特徴とする特許請求の範囲(1)項記載の半導体装置の製造方法。

(5) 热処理として選択分離熱酸化を用いたことを特徴とする特許請求の範囲(1)項記載の半導体装置の製造方法。

(6) 低抵抗ポリシリコン膜としてノンドープポリシリコンを堆積し、その後不純物を熱拡散して抵抗を下げた膜を使用することを特徴と

する特許請求の範囲オ1項記載の半導体装置の製造方法。

(7) 低抵抗ポリシリコン膜として不純物をドープしたエピタキシャル成長膜を用いることを特徴とする特許請求の範囲オ1項記載の半導体装置の製造方法。

8. 発明の詳細な説明

この発明は半導体装置の製造方法、特に新しい構造のシリコンゲート型電界効果型MOSトランジスタを製造する方法に関するものである。

従来シリコンゲート型電界効果型MOSトランジスタとしてオ1図からオ5図に示すようなものがあつた。図において、(1)は半導体基板、(2)は酸化膜、(3)は耐酸化性膜、(4)は電子間分離のための不純物領域である。耐酸化性膜(3)をマスクとしてフィールド酸化膜(6)を形成し、耐酸化性膜(3)、酸化膜(2)を除去した後。ゲート酸化膜(6)を形成し、後にソース・ドレインから直接ポリシリコンで配線を行なう場合には、ゲート酸化膜の一部を除去した後、ポリシリコン(7)を

(3)

大きくなる。このため微細化を困難としていた。又ゲート長はポリシリコン(7)エッチのばらつきの影響を直接受け、従来のトランジスタではポリシリコン長を厳密に制御することはかなり困難であつた。又ゲート酸化膜(6)をフィールド酸化膜(4)形成後に形成するため、ゲート酸化膜(6)として良質なものを得ることができなかつた。又工程数が多く、かつ多くの熱処理が加わることによつて微細化を妨げる要因が多かつた。

この発明は上記のような従来のものの欠点を除去するためになされたもので、従来の断面構造とは違い、全く新しいシリコンゲート型電界効果型MOSトランジスタを提供することを目的としている。

以下この発明の一実施例を図について説明する。オ6図において、(1)はP型半導体基板、(2)はこの半導体基板上に形成されたゲート酸化膜、(3)は電子間分離のためのボロン注入のためのフォトレジストマスク、(4)はボロンがイオン注入されたP⁺領域である。オ7図において新たに写

堆積する。その後レジストパターンでゲート及び配線をエッチングにより形成し、その時のレジストパターンをマスクとして不純物のイオン注入を行ない、ソース・ドレイン(5)を形成する。その後、ソース・ドレイン領域及びポリシリコン上面を熱酸化して酸化膜(8)を形成し、リンドープのSiO₂を堆積する。その後コンタクト穴を写真製版技術を用いて形成し、接合へのアルミの突き抜けを防止するために、コンタクトの穴から不純物を熱拡散させる。これにより、シリコンゲート型電界効果型MOSトランジスタを構成していた。

従来のシリコンゲート型電界効果型MOSトランジスタは段差が大きく、そのためアルミ配線の断線を防ぐために一概に銅を含んだ酸化膜(4)を堆積し、これを高温でアニールすることにより急峻な段差を軽減している。しかしこの銅ドープの酸化膜(4)はその下の熱酸化膜(8)とエッチングレイトが数倍大きく、コンタクト穴をエッチングするときのサイドエッチ量がかなり

(4)

写真製版技術を用いて、ゲート、電子間分離領域及びポリシリコン配線となる部分のパターニングを行ない、このフォトレジスト(4)をマスクとして此後のイオン注入を行ないP型ソース・ドレイン領域(5)を形成する。オ8図においてアーニルを行なつて接合(5)を形成したのち、銅ドープして充分抵抗を下げたポリシリコン(7)を堆積し、その上に耐酸化性膜(たとえばシリコン空化膜)をデポし写真製版技術によつて、そのフォトレジスト(4)をマスクとしてイオンエッチングを用い、ゲートとソース・ドレイン領域との分離領域と電子間分離領域とに於ける空化膜とポリシリコン膜をエッチングして、ポリシリコン(7)を約半分の厚さで残すようとする。オ9図において、空化膜(4)をマスクとして酸素雰囲気中でレーザアーニルすることにより、酸化膜(8)を形成しゲートとソース・ドレイン領域を分離する。又電子間分離も併せて行なう。このときソース・ドレインからコンタクトを取るようの場合、あらかじめコンタクトサイズの空化

膜時を残し、他の部分を全て酸化してしまうことにより、分離と同時にコンタクトが形成されることになり、コンタクトのための写真製版が不用となる。又ソース・ドレイン形成後に熱処理がないことにより、ソース・ドレイン領域のゲート領域への食い込みが少ない。又ポリシリコン側を酸化する領域は約半分の厚さにしておくため、酸化後の表面は平面となるという長所を有し、従来のトランジスタのような雰囲ドープした酸化膜は不用である。又ポリシリコン配線も容易に形成することができる。

このように、この新しい構造のトランジスタは、ゲート埋め込み型で平坦な平面を有することを特長とし、アルミ配線の断線に対するマージンが向上する。

なお、上記実施例では、ポリシリコンの酸化を酸素雰囲気中のレーザー・アニールを用いて、酸化膜の横方向への食い込みをほとんど皆無に近くしているが、選択分離熱酸化を用いても同様の結果が得られる。このときポリシリコンの酸

化であるので、従来のフィールド酸化と比べると、同じ酸化膜厚でも約半分の時間で処理が可能である。このときの断面図をオ 11 図に示す。レーザー・アニールを用いた酸化のときと比べ設計基準的に少しは劣るが、基本的には変わりない。

また、耐酸化性膜としてクロムなどの金属膜を用いてもよい。

また、低抵抗ポリシリコン膜として不純物をドープしたエピタキシャル成長膜を用いることができる。

以上のように、この発明によれば、表面段差をなくした埋め込みゲート型電界効果型 MOS トランジスタにしたことにより、工程数を減らすことのみならず、信頼性の高いトランジスタを提供することができる。

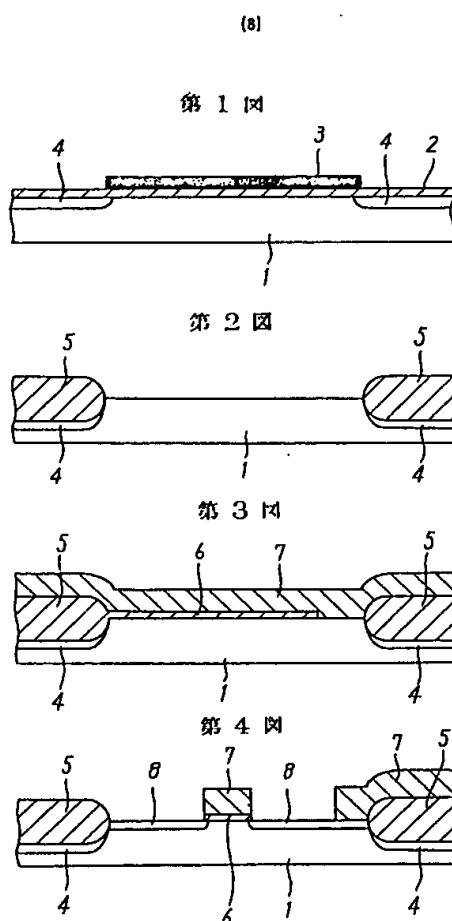
4. 図面の簡単な説明

オ 1 図からオ 5 図は従来の電界効果型 MOS トランジスタを製造工程順に示す断面側面図、オ 6 図はこの発明の他の実施例を示す断面側面図である。

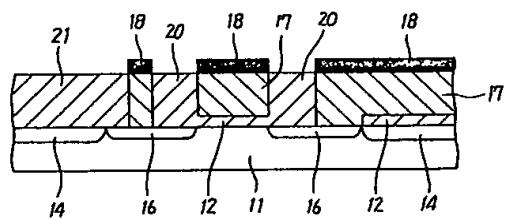
(1) - - - 半導体基板、(2) - - - 下段酸化膜、(3) - - - 耐酸化性膜、(4) - - - 素子間分離不純物領域、(5) - - - フオトレジスト、(6) - - - 素子間分離酸化膜、(7) - - - ゲート酸化膜、(8) - - - ポリシリコン膜、(9) - - - ソース・ドレイン領域、(10) - - - 酸化膜、(11) - - - リンドープの酸化膜、(12) - - - ソース・ドレイン、ゲート分離酸化膜、(13) - - - アルミ。

なお図中、同一符号は同一、又は相当部分を示す。

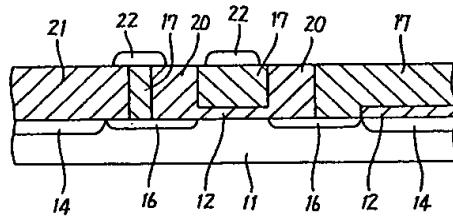
代理人 萩野 信一



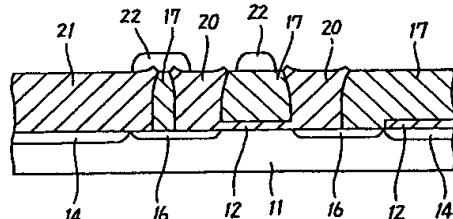
第9図



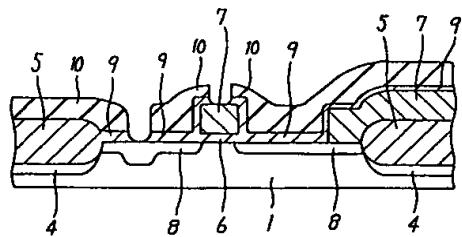
第10図



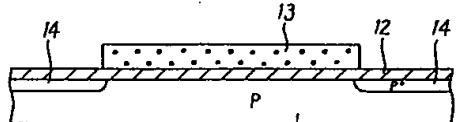
第11図



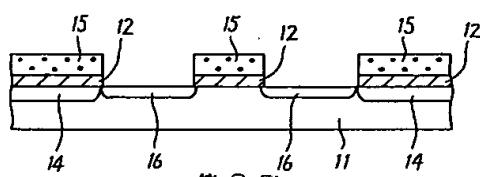
第5図



第6図



第7図



第8図

